

Cite No. 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-227068
(43)Date of publication of application : 03.09.1996

(51)Int.Cl.	G02F 1/133
	G02F 1/136

(21)Application number : 07-308843
(22)Date of filing : 28.11.1995

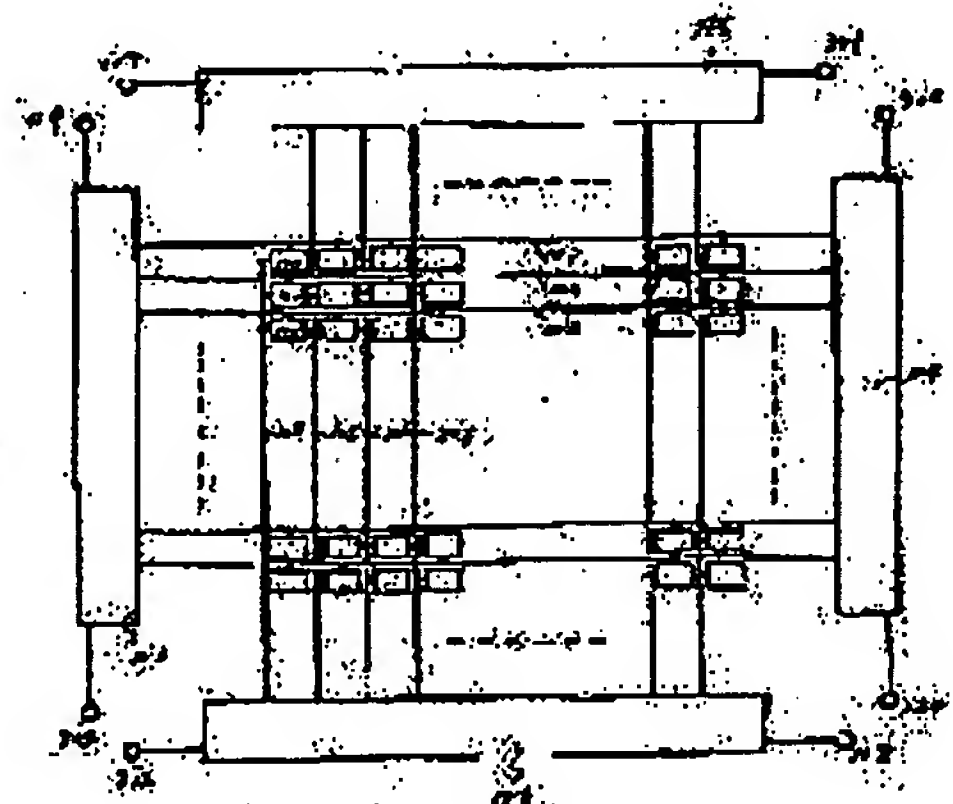
(71)Applicant : SEIKO EPSON CORP
(72)Inventor : HASEGAWA KAZUMASA
MISAWA TOSHIYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To shorten the rising time of clock signals, etc., within signal lines and to enable high-speed operation even if high-resistance materials are used for wiring materials by inputting clock signals of respectively the same phase to plural clock signal input terminals.

CONSTITUTION: The clock signals are inputted from both ends of the clock signal lines of a driver section of a driver built-in type active matrix substrate. In such a case, the liquid crystal display device has the clock signal input terminals 301, 302 disposed at another clock signal lines of the clock signal lines of respective data side drivers 115, 116 and has the clock signal input terminals 303, 304 disposed at another end of the clock signal lines of respective gate side drivers 113, 114. The clock signals of the same phase are inputted from both ends of the clock signal lines in such a manner, by which an effect of reducing the length of the signal lines to a half and increasing the width thereof two-fold is obtd. In addition, all of the wirings of the driver built-in type TFT active matrix substrate are formable of polycrystalline silicon and ITO.



LEGAL STATUS

[Date of request for examination] 27.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2596407

[Date of registration] 09.01.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

第 92117490 號
初審 (訴願) 引証附件
再審

<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAFMaySHDA408227068P1.htm>

2003/10/24

BEST AVAILABLE COPY

【特開平 08-227068】

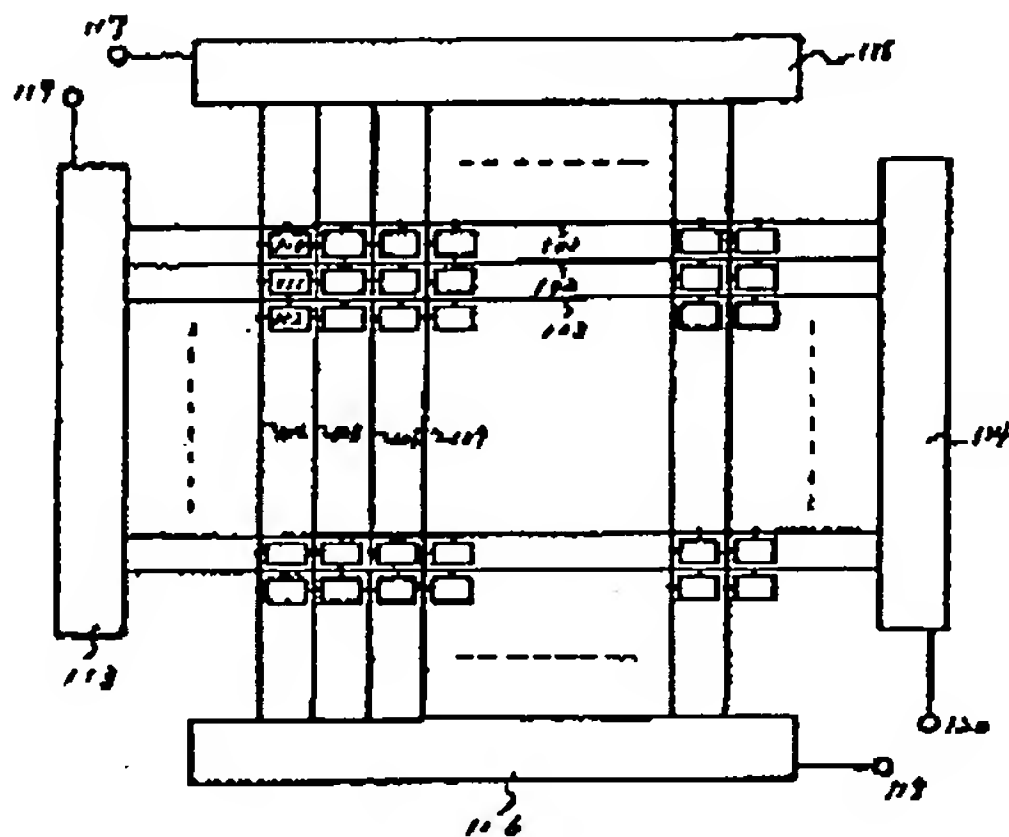
(57) 【要約】

【課題】ドライバ内臓型のアクティブマトリックスタイプの液晶表示装置において、ゲート側ドライバ又はデータ側ドライバのクロック信号線に供給される信号の立ち上がりを高速にして、ITOや多結晶シリコン等の抵抗率の高い配線材料を用いても高速動作を可能とする。

【解決手段】ゲート側ドライバ又はデータ側ドライバのクロック信号線に複数のクロック入力端子を設け、該複数のクロック入力端子から同相のクロック信号を供給する。これにより実質的な配線抵抗を減少せしめることができ、ドライバの高速動作が可能となる。

【0003】図1にその例を示す。101乃至103等はゲート線、104乃至107等はデータ線、110乃至112等は画素、113及び114はゲート側駆動回路、115及び116はデータ側駆動回路、117及び118はデータ側駆動回路のクロック信号入力端子、119及び120はゲート側駆動回路のクロック信号入力端子である。

【図1】



(10)日本特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-227068

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl.	分類記号	片内登録番号	PI	技術表示箇所
G02F 1/133	550		G02F 1/133	1
1/136	500		1/136	1

審査請求 有 発明の数 1 OL (全 7 頁)

(21)出願番号 特願平7-308843
 (52)分割の表示 特願平8-227068の分割
 (22)出願日 昭和69年(1994)2月9日

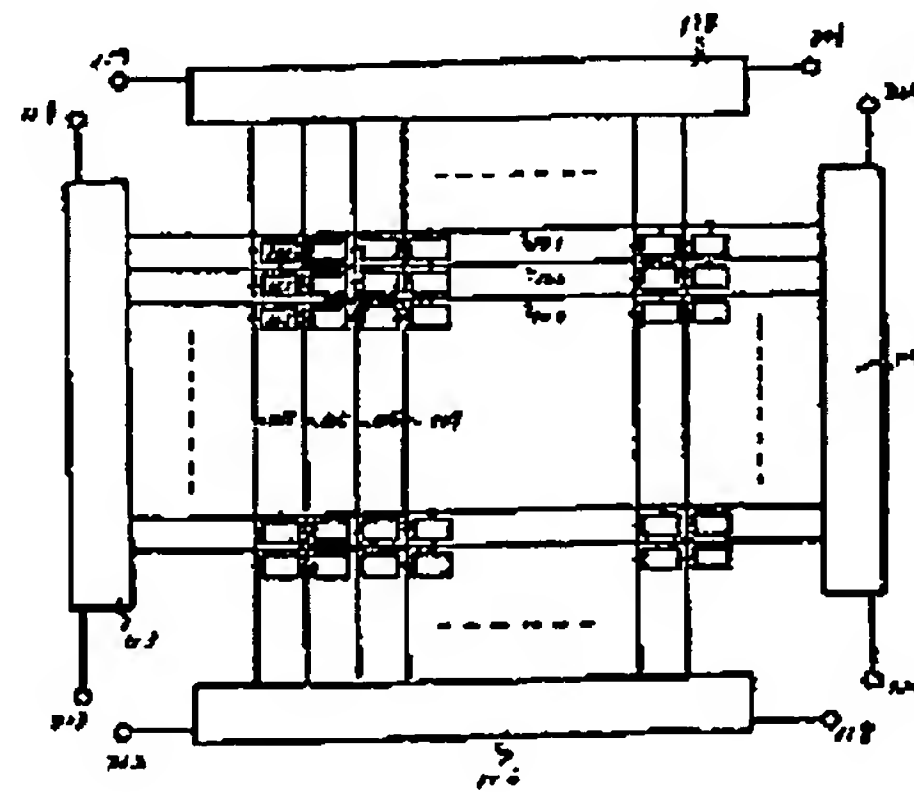
(71)出願人 00002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 長谷川 和正
 長野県諏訪市大和3丁目3番5号 株式会社
 社諏訪精工舎内
 (72)発明者 三井 利之
 長野県諏訪市大和3丁目3番5号 株式会社
 社諏訪精工舎内
 (74)代理人 弁護士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】ドライバ内蔵型のアクティブマトリックスタイプの液晶表示装置において、ゲート側ドライバ又はデータ側ドライバのクロック信号線に供給される信号の立ち上がりを高速にして、ITOや多結晶シリコン等の抵抗率の高い配線材料を用いても高速動作を可能とする。

【解決手段】ゲート側ドライバ又はデータ側ドライバのクロック信号線に複数のクロック入力端子を設け、該複数のクロック入力端子から同相のクロック信号を供給する。これにより実質的な配線抵抗を減少せしめることができ、ドライバの高速動作が可能となる。



(2)

特開平8-227068

1

【特許請求の範囲】

【請求項1】一対の基板間に液晶が封入され、該一対の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該ゲート線にはゲート側ドライバ回路が接続され、該データ線にはデータ側ドライバ回路が接続され、該ゲート側ドライバ回路は該画素電極によって形成される表示領域を挟んで一対形成され、該データ側ドライバ回路は該画素電極によって形成される表示領域を挟んで一対形成され、該データ側ドライバ回路には複数のクロック信号入力端子を有してなる液晶表示装置において、

該複数のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号線への信号入力方法に関する。

【0002】

【従来の技術】最近、透明電極基板上に薄膜トランジスタ（以下TFTとする）を設けて成るアクティブマトリクス基板へ周辺駆動回路（以下ドライバとする）の内蔵化が試みられている。従来、このドライバ内蔵型アクティブマトリクス基板のドライバ部においては、低抵抗のアルミニウムが配線材料として使用されていたため、クロック信号等の信号入力箇所は1箇所だけでよかった。

【0003】図1にその例を示す。101乃至103等はゲート線、104乃至107等はデータ線、110乃至112等は画素、113及び114はゲート側駆動回路、115及び116はデータ側駆動回路、117及び118はデータ側駆動回路のクロック信号入力端子、119及び120はゲート側駆動回路のクロック信号入力端子である。

【0004】図2に従来のドライバ内蔵型アクティブマトリクス基板におけるドライバ部の構造（略略化してある）を示す。201は透明絶縁基板、203及び204はTFTのソースもしくはドレイン部、205はチャンネル部で、203乃至205は多結晶シリコンで形成されている。206はゲート酸化膜（酸化シリコン膜）、207はゲート電極用多結晶シリコン膜、208は配線用多結晶シリコン膜で、207及び208は同一工程により形成される。214はデータ線であり、ITOで形成されている。209乃至213は多結晶シリコン層とITO層との層間絶縁膜であり、酸化シリコンで形成されている。219乃至221は配線用アルミニウ

2

ムであり、特に220及び221はクロック信号線である。215乃至218はアルミニウム層とITO層との層間絶縁膜で、酸化シリコンで形成されている。

【0005】該ドライバ内蔵型アクティブマトリクス基板においては、配線材料が多結晶シリコン、ITO及びアルミニウムの3種類ある。ドライバ内蔵を行わないTFTアクティブマトリクス基板においては、配線材料は多結晶シリコン及びITOの2種類であった。よって従来のドライバ内蔵型TFTアクティブマトリクス基板においては、非内蔵型基板に比べ、製造工程が増加し、製造コストも増加する。TFTアクティブマトリクス基板へのドライバ内蔵化の目的の大部分は該基板を用いた液晶表示装置の低コスト化であるが、前述した基板製造コストの増加はこの件に関して致命的な欠点となる。

【0006】そこで、ドライバ内蔵型TFTアクティブマトリクス基板のドライバ部においても、配線用にアルミニウムを使用せずITOを使用し、従来の非内蔵型基板と同様の製造工程でドライバ内蔵型TFTアクティブマトリクス基板の製造を行うことが考えられる。ところが、ITOにおいてはアルミニウムと比べ、シート抵抗が200倍程度大きいため、クロック信号線内におけるクロック信号の立ち上がり時間も200倍程度大きくなる。この対策としては通常配線幅Wを大きくする処置がとられるが、それによりドライバ部分の面積が増大するため、実用上Wの大きさは制限を受ける。W=100μm、配線長L=30mm、付加容量C=50pF、シート抵抗ρs=20Ω/□とすれば、信号線の時定数は、 $\tau = \rho_s \cdot L \cdot C / W$ で表わされるから、 $\tau = 300 \text{ nsec}$ となる。クロック信号が電源電圧の90%立上がる時間は、この2.3倍であるから、890nsecとなる。ドライバの動作周波数を1MHzとした場合、その半田数は500nsecであるから、この場合、ドライバを1MHzで動作させるのは大変困難なものとなる。

【0007】【目的】本発明の目的は、配線材料を高抵抗材料（多結晶シリコン、ITO等）を使用した場合においても、信号線内におけるクロック信号等の立ち上がり時間を小さなものに抑え、高速動作する薄膜ドライバを実現し、ドライバ内蔵型TFTアクティブマトリクス基板の製造工程を軽減し、低コストなものとする事である。

【0008】【概要】本発明の概要は、ドライバ内蔵型アクティブマトリクス基板におけるドライバ部の信号線材料をアクティブマトリクスアレイ内におけるものと同一のものとし、該信号線へ複数箇所から信号を入力することである。

【0009】

【発明の実施の形態】図3に本発明の実施の形態を示す。これは、図1に示すドライバ内蔵型アクティブマ

(3)

特開平8-227068

トリクス基板におけるドライバー部のクロック信号線の両端からクロック信号を入力する例である。図3において、図1と同一の記号は図1と同一のものを表す。301及び302はそれぞれデータ側ドライバー115及び116におけるクロック信号線のもう一端に設けたクロック信号入力端子で、303及び304はそれぞれゲート側ドライバー113及び114におけるクロック信号線のもう一端に設けたクロック信号入力端子である。

【0010】図4に図3におけるドライバー部の構造（略略したもの）を示す。全ての配線は多結晶シリコン及びITOで行われている。図4において、図2と同一の記号は図2と同一のものを表す。401乃至403はITOによる配線領域であり、特に402及び403はクロック信号線である。

【0011】図5に本発明のもう一つの実施例を示す。これは図1に示すドライバー内蔵型アクティブマトリクス基板におけるドライバー部のクロック信号線の両端及び中間部の、3箇所からクロック信号を入力する例である。図5において図1及び図3と同一の記号はそれぞれ図1及び図3と同一のものを表す。501及び502はそれぞれデータ側ドライバー115及び116におけるクロック信号線の中間部に設けたクロック信号入力端子で、503及び504はそれぞれゲート側ドライバー113及び114におけるクロック信号線の中間部に設けたクロック信号入力端子である。

【0012】さらに本発明の応用例としては、電圧入力端子及びデータ側ドライバーにおけるビデオ信号入力端子を複数個設け、それぞれの信号線へ複数箇所から信号を入力することが考えられる。

【0013】

【発明の効果】図3の場合、クロック信号線の両端からクロック信号を入力しているが、これは図1の場合に比べ、信号線の長さLが半分に、幅Wが2倍になった効果がある。前記定数において、この効果を考慮すると、信号線の時定数 $\tau = 75 \text{ nsec}$ となり、クロック信号が*

*電圧の90%立ち上がる時間は、 170 nsec となる。よってドライバーを1MHz動作させる事が充分可能となる。また、図2（従来例）と図4（本発明実施例）を比べてわかる通り、本発明の実施によりドライバー内蔵型TFTアクティブマトリクス基板における配線を全て多結晶シリコン及びITOで行う事が可能となり、該基板の構造がシンプルなものとなり製造工程が軽減することにより該基板製造における低コスト化が実現される。

10 【0014】図5の場合、クロック信号線の両端及び中間部から信号を入力しているが、これは図3の場合に比べ、さらに信号線の長さLが半分、幅Wが2倍になった効果がある。前記定数においてさらにこの効果を考慮に入れると、信号線の時定数 $\tau = 19 \text{ nsec}$ 、クロック信号が電圧の90%立ち上がる時間は 43 nsec となり、ドライバーは図3における場合よりさらに高速動作する。

【0015】以上述べた如く、本発明を用いることにより、配線に高抵抗材料を使用した場合においても信号線内における信号の立ち上がり時間が小さくなり、高速動作するドライバー回路が実現される。このため、ドライバー内蔵型TFTアクティブマトリクス基板における配線を多結晶シリコン及びITOの2層で行うことが可能となり、低コストかつ高品質のドライバー内蔵型アクティブマトリクス基板が実現される。

【図面の簡単な説明】

【図1】従来のドライバー内蔵型アクティブマトリクス基板を説明するための図。

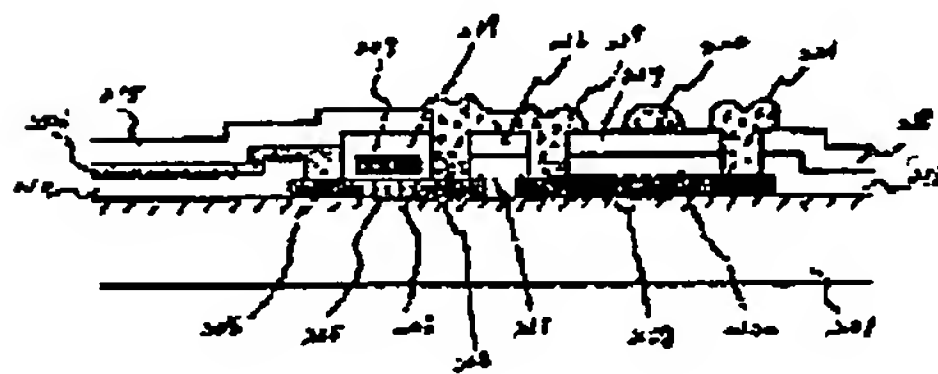
20 【図2】従来のドライバー内蔵型アクティブマトリクス基板を説明するための図。

30 【図3】本発明の実施の形態を説明するための図。

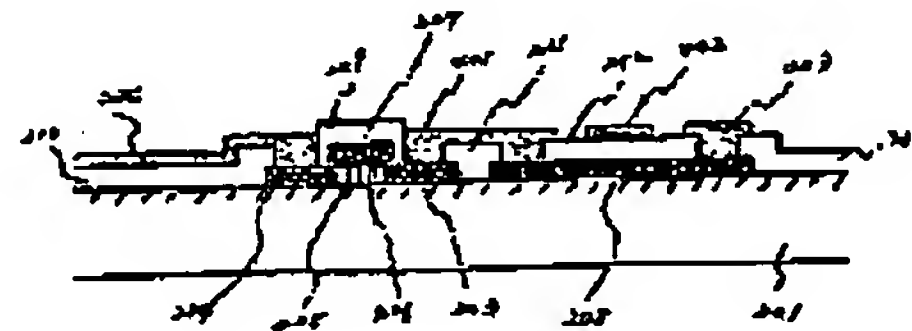
【図4】本発明の実施の形態を説明するための図。

【図5】本発明のもう一つの実施の形態を説明するための図。

【図2】

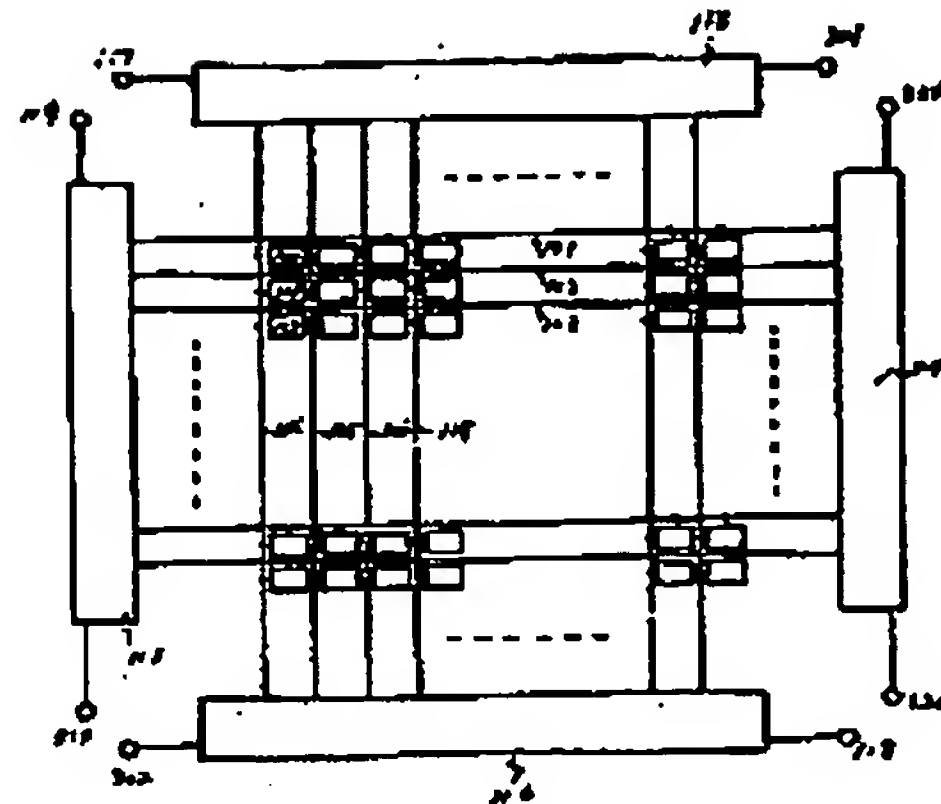


【図4】



特開平 8-227068

【圖3】



【請求項1】 一対の基板間に液晶が封入され、該一対の基板のうち一方の基板には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されており、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該データ線にはデータ駆動ドライバ回路が接続され、該データ駆動ドライバ回路のクロック信号線に設けられた複数のクロック信号入力

(5)

特開平8-227068

端子を有してなる液晶表示装置において、前記複数のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする液晶表示装置。

【請求項2】一対の基板間に液晶が封入され、該一対の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該ゲート線にはゲート側ドライバ回路が接続され、該ゲート側ドライバ回路のクロック信号線に設けられた複数のクロック信号入力端子を有してなる液晶表示装置において、前記複数のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする液晶表示装置。

【請求項3】一対の基板間に液晶が封入され、該一対の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該ゲート線にはゲート側ドライバ回路が接続され、該データ線にはデータ側ドライバ回路が接続され、該ゲート側ドライバ回路のクロック信号線に設けられた複数の第1のクロック信号入力端子と、該データ側ドライバ回路のクロック信号線に設けられた複数の第2のクロック信号入力端子とを有してなる液晶表示装置において、前記複数の第1のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなり、前記複数の第2のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号線への信号入力方法に関する。

【0002】

【従来の技術】最近、透明絶縁基板上に薄層トランジスタ（以下TFTとする）を設けて成るアクティブマトリクス基板へ周辺駆動回路（以下ドライバとする）の内蔵化が試みられている。従来、このドライバ内蔵型アクティブマトリクス基板のドライバ部においては、低抵抗のアルミニウムが配線材料として使用されていたため、クロック信号等の信号入力箇所は1箇所だけでよかった。

【0003】図1にその例を示す。101乃至103等はゲート線、104乃至107等はデータ線、110乃至112等は画素、113及び114はゲート側駆動回路、

115及び116はデータ側駆動回路、117及び118はデータ側駆動回路のクロック信号入力端子、119及び120はゲート側駆動回路のクロック信号入力端子である。

【0004】図2に従来のドライバ内蔵型アクティブマトリクス基板におけるドライバ部の構造（略略化してある）を示す。201は透明絶縁基板、203及び204はTFTのソースもしくはドレイン部、205はチャネル部で、203乃至205は多結晶シリコンで形成されている。206はゲート絶縁膜（酸化シリコン膜）、207はゲート電極用多結晶シリコン膜、208は配線用多結晶シリコン膜で、207及び208は同一工程により形成される。214はデータ線であり、170で形成されている。209乃至213は多結晶シリコン層とITO層との層間絶縁膜であり、酸化シリコンで形成されている。219乃至221は配線用アルミニウムであり、特に220及び221はクロック信号線である。215乃至218はアルミニウム層とITO層との層間絶縁膜で、酸化シリコンで形成されている。

【0005】該ドライバ内蔵型アクティブマトリクス基板においては、配線材料が多結晶シリコン、ITO及びアルミニウムの3種類ある。ドライバ内蔵を行わないTFTアクティブマトリクス基板においては、配線材料は多結晶シリコン及びITOの2種類であった。よって従来のドライバ内蔵型TFTアクティブマトリクス基板においては、非内蔵型基板に比べ、製造工程が増加し、製造コストも増加する。TFTアクティブマトリクス基板へのドライバ内蔵化の目的の大部分は該基板を用いた液晶表示装置の低コスト化であるが、前述した基板製造コストの増加はこの件に関して致命的な欠点となる。

【0006】そこで、ドライバ内蔵型TFTアクティブマトリクス基板のドライバ部においても、配線用にアルミニウムを使用せずITOを使用し、従来の非内蔵型基板と同様の製造工程でドライバ内蔵型TFTアクティブマトリクス基板の製造を行うことが考えられる。ところが、ITOにおいてはアルミニウムと比べ、シート抵抗が200倍程度大きいため、クロック信号線内におけるクロック信号の立ち上がり時間も200倍程度大きくなる。この対策としては通常配線幅Wを大きくする処置がとられるが、それによりドライバ部分の面積が増大するため、実用上Wの大きさは制限を受ける。W=100μm、配線長L=30mm、付加容量C=50pF、シート抵抗ρs=20Ω/□とすれば、信号線の時定数は、 $\tau = \rho_s \cdot L \cdot C / W$ で表わされるから、 $\tau = 300 \text{ nsec}$ となる。クロック信号が電源電圧の90%立上がる時間は、この2.3倍であるから、690nsecとなる。ドライバの動作周波数を1MHzとした場合、その半周期は500nsecであるから、この場合、ドライバを1MHzで動作させるのは大変

16

特開平 8-227068

図解なものとなる。

【0007】【目的】本発明の目的は、配線材料に高抵抗材料（多結晶シリコン、ITO等）を使用した場合においても、信号線内におけるクロック信号等の立ち上がり時間を小さなものに抑え、高速動作する薄層ドライバを実現し、ドライバ内蔵型TFTアクティブマトリクス基板の製造工程を軽減し、低コストなものとする事である。

【0008】〔概要〕本発明の要旨は、ドライバ内蔵型アクティブマトリクス基板におけるドライバ部の信号線材料をアクティブマトリクスアレイ内におけるものと同一のものとし、該信号線へ複数箇所から信号を入力するとである。

[0009]

【課題を解決するための手段】請求項１の発明は、一對の基板間に液晶が封入され、該一對の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該データ線にはデータ側ドライバ回路が接続され、該データ側ドライバ回路のクロック信号線に設けられた複数のクロック信号入力端子を有してなる液晶表示装置において、前記複数のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする。

【0010】図1の2の図明は、一対の基板間に液晶が封入され、該一対の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該ゲート線にはゲート側ドライバ回路が接続され、該ゲート側ドライバ回路のクロック信号線に接続された複数のクロック信号入力端子を有してなる液晶表示装置において、前記複数のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなるとを特徴とする。

【0011】請求項3の発明は、一対の基板間に液晶が封入され、該一対の基板のうち一方の基板上には複数の画素電極がマトリクス状に配列され、該複数の画素電極にはそれぞれトランジスタが接続され、該それぞれのトランジスタにはゲート信号を供給するためのゲート線が接続され、該各画素電極にはデータ信号を供給するためのデータ線が該トランジスタを介して接続されてなり、該ゲート線にはゲート側ドライバ回路が接続され、該データ線にはデータ側ドライバ回路が接続され、該ゲート側ドライバ回路のクロック信号線に設けられた複数の写

1のクロック信号入力端子と、該データ側ドライバ回路のクロック信号線に設けられた演算の第2のクロック信号入力端子とを有してなる波高表示装置において、前記演算の第1のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなり、前記演算の第2のクロック信号入力端子にはそれぞれ同相の該クロック信号が入力されてなることを特徴とする。

[0012]

【発明の実施の形態】図3に本発明の実施の形態を示す。これは、図1に示すドライバー内蔵型アクティブマトリクス基板におけるドライバー部のクロック信号線の同相からクロック信号を入力する例である。図3において、図1と同一の記号は図1と同一のものを表わす。301及び302はそれぞれデータ側ドライバー115及び116におけるクロック信号線のもう一端に設けたクロック信号入力端子で、303及び304はそれぞれゲート側ドライバー113及び114におけるクロック信号線のもう一端に設けたクロック信号入力端子である。

【0013】図4に図3におけるドライバ部2の構造（簡略化したもの）を示す。全ての配線は多結晶シリコン及びITOで行われている。図4において、図2と同一の記号は図2と同一のものを表わす。401乃至403はITOによる配線領域であり、特に402及び403はクロック信号線である。

【0014】図5に本発明のもう一つの実施例を示す。これは図1に示すドライバー内蔵型アクティブマトリクス基板におけるドライバー部のクロック信号線の再送及び中間部の、3箇所からクロック信号を入力する例である。図5において図1及び図3と同一の記号はそれぞれ図1及び図3と同一のものを表わす。501及び502はそれぞれデータ側ドライバー115及び116におけるクロック信号線の中間部に設けたクロック信号入力端子で、503及び504はそれぞれゲート側ドライバー113及び114におけるクロック信号線の中間部に設けたクロック信号入力端子である。

【0015】さらに本発明の応用例としては、電源入力端子及びデータ副ドライバーにおけるビデオ信号入力端子を複数個設け、それぞれの信号線へ複数箇所から信号を入力することが考えられる。

[0018]

【発明の効果】図3の場合、クロック信号線の両端からクロック信号を入力しているが、これは図1の場合に比べ、信号線の長さしが半分に、幅が2倍になった効果がある。配定数において、この効果を考慮すると、信号線の時定数 $\tau = 75 \text{ nsec}$ となり、クロック信号が電源電圧の90%立ち上がる時間は、 170 nsec となる。よってドライバを1MHz動作させる事が充分可能となる。また、図2（従来例）と図4（本発明実施例）を比べてわかる通り、本発明の実施によりドライバ内型型TFTアクティブマトリクス基板における配線

特用平 8-227068

作するドライバ回路が実現される。このため、ドライバ内蔵型TFTアクティブマトリクス基板における配線を多結晶シリコン及びITOの2層で行うことが可能となり、低コストかつ高品質のドライバ内蔵型アクティブマトリクス基板が実現される。

【図 1】従来のドライバ内蔵型アクティブマトリクス基板を説明するための図。

【図3】本発明の実施の形態を説明するための図。

【図4】本発明の実施の形態を説明するための図

【図5】本発明のもう一つの実施の形態を説明するための図。

【0018】以上述べた如く、本発明を用いることにより、配線に高抵抗材料を使用した場合においても信号線内における信号の立ち上がり時間が小さくなり、高速動

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.